

- 1 Polierter LTCC-Wafer mit Gold-Vias für das anodische Bonden mit Silizium-MEMS-Wafer.
- 2 Prinzipskizze Wafer-Level-Packaging von LTCC-Keramik mit Si-MEMS-Wafer.
- 3 Bondbarer LTCC-Wafer mit eingefügten Kavitäten und Au-Vias zur ASIC-Integration.
- 4 Nahaufnahme der polierten LTCC-Oberfläche.

WAFER-LEVEL-PACKAGING VON MEMS MIT LTCC

Hochzuverlässiges MEMS-Packaging

Miniaturisierte Mikrosysteme (MEMS) finden in vielen technischen Bereichen Verwendung. Speziell für hochzuverlässige Anwendungen werden MEMS einzeln in keramischen Packages hermetisch dicht verpackt. Nachteile ergeben sich im Aufwand für die Einzelchipverarbeitung als auch in den Dimensionen des Packages, welche meist größer als das MEMS-Bauteil selbst sind. Aus diesem Grund wurde in Zusammenarbeit mit dem Fraunhofer ENAS der Packaging-Prozess mit keramischen Mehrlagen auf Wafer-Level-Ebene (WLP) entwickelt. Dabei wird der MEMS-Wafer mit dem Keramik-Wafer in einem Schritt gebondet, hermetisiert und gleichzeitig dessen Umverdrahtung realisiert. Für den Bondprozess wurden spezielle LTCC-Keramiken entwickelt, die thermomechanisch exzellent an Silizium angepasst sind. Diese werden gestapelt, laminiert und gemeinsam gesintert. In die Mehrlagenkeramiken werden Durchkontaktierungen und passive Bauelemente

mit Siebdruckprozessen integriert. Nach der Sinterung wird die Oberfläche der Keramiken für die anodische Bondung geläppt und poliert. Die so funktionalisierten keramischen Wafer werden mit Hilfe des anodischen Bondens mit Si-Wafern bei ca. 300 °C gefügt. Die elektrische Anschlusskontaktierung erfolgt durch Thermokompression der Anschluss pads der Vias des LTCC-Wafer mit den TSVs des MEMS-Wafers. Mit Hilfe der entwickelten Bondprozesse konnten sehr zuverlässige Bonds (Scherfestigkeit der Fügung > 114 N/mm²) in hoher Ausbeute (> 90 %) zwischen den MEMS und den Keramik-Interposern generiert werden.

Vorteile des LTCC-WLP

- Umverdrahtungen innerhalb der Keramik
- Integration von passiven Bauelementen, Kavitäten und Kanälen in die Keramik
- Exzellente HF-Eigenschaften

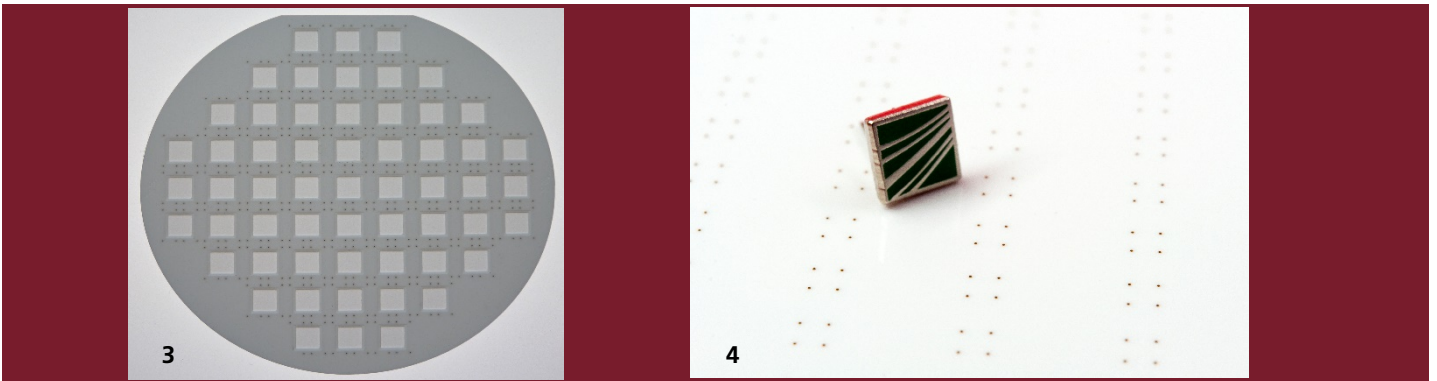
Fraunhofer-Institut für Keramische Technologien und Systeme IKTS

Winterbergstraße 28
01277 Dresden

Ansprechpartner

Dr. Steffen Ziesche
Telefon 0351 2553-7875
steffen.ziesche@ikts.fraunhofer.de

www.ikts.fraunhofer.de



- 1 Polished LTCC wafer with Au vias for anodic bonding with silicon MEMS wafer.
- 2 Schematic diagram of wafer-level packaging of LTCC wafer with silicon MEMS wafer.
- 3 Bondable LTCC wafer with integrated cavities for ASIC packaging.
- 4 Close-up view of polished LTCC surface.

WAFER-LEVEL PACKAGING OF MEMS WITH LTCC

Highly reliable MEMS packaging

MEMS for highly reliable applications need a hermetically sealed single package with a ceramic body. Major drawbacks of this technology include the effort for processing a single MEMS die and the package dimensions, which are mostly larger than the MEMS dies themselves. For this reason, a new packaging process with ceramic multilayer interposers on wafer-level (WLP) was developed in cooperation with Fraunhofer ENAS. Thereby, a silicon wafer is bonded, hermetically sealed and rewired simultaneously with a ceramic wafer in one process step. Specific LTCC multilayer ceramics were developed, which have an excellent thermo-mechanical adaption to silicon. The rewiring within the ceramic body is realized by gold vias in every single LTCC green sheet. These sheets are stacked, laminated and sintered to a multilayer ceramic wafer. Printing processes on the green sheets integrate passive elements into the ceramics.

After sintering, the ceramic multilayer surface is polished in order to allow the anodic bonding process. Afterwards, the anodic bonding process joins the functionalized ceramic wafer with the silicon wafer at 300 °C. The electrical interconnection is realized by thermocompression bonding of silicon vias in the silicon wafer in combination with conductor pads on the ceramic wafer during the anodic bonding process. For this reason, highly reliable bonds with shearing strength of > 114 N/mm² of the joints and a high yield (> 90 %) can be generated between the silicon and ceramic wafer.

Benefits of LTCC-WLP

- Rewiring within the multilayer ceramic
- Integration of passive components
- Excellent RF properties
- Cost-efficient manufacturing technology

Fraunhofer Institute for Ceramic Technologies and Systems IKTS

Winterbergstrasse 28
01277 Dresden, Germany

Contact

Dr. Steffen Ziesche
Phone +49 351 2553-7875
steffen.ziesche@ikts.fraunhofer.de

www.ikts.fraunhofer.de